

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Tomoya SANUKI
Title: SEMICONDUCTOR DEVICE
Appl. No.: Unassigned
Filing Date: 03/19/2004
Examiner: Unassigned
Art Unit: Unassigned

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
PO Box 1450
Alexandria, Virginia 22313-1450

Sir:

The benefit of the filing dates of the following prior foreign applications filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith are certified copies of said original foreign applications:

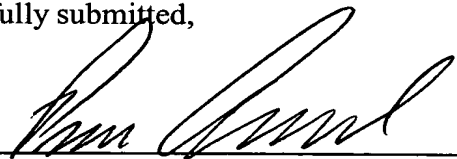
- JAPAN Patent Application No. 2003-176527 filed 06/20/2003.
- JAPAN Patent Application No. 2003-207695 filed 08/18/2003.

Respectfully submitted,

Date March 19, 2004

FOLEY & LARDNER LLP
Customer Number: 22428
Telephone: (202) 945-6162
Facsimile: (202) 672-5399

By



Pavan K. Agarwal
Attorney for Applicant
Registration No. 40,888

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 6 月 2 0 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 1 7 6 5 2 7
Application Number:

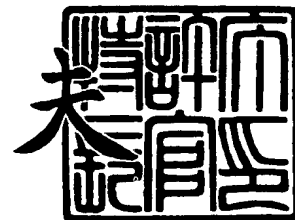
[ST. 10/C] : [J P 2 0 0 3 - 1 7 6 5 2 7]

出 願 人 株式会社東芝
Applicant(s):

2 0 0 3 年 1 0 月 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 A000206356

【提出日】 平成15年 6月20日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置

【請求項の数】 12

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

 【氏名】 佐貫 朋也

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

 【氏名又は名称】 鈴江 武彦

 【電話番号】 03-3502-3181

【選任した代理人】

 【識別番号】 100091351

 【弁理士】

 【氏名又は名称】 河野 哲

【選任した代理人】

 【識別番号】 100088683

 【弁理士】

 【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 半導体基板と、

前記半導体基板の素子領域の周囲に形成され、熱膨張係数が前記素子領域の熱膨張係数より大きい絶縁体材料からなる素子分離領域と

を具備することを特徴とする半導体装置。

【請求項 2】 前記半導体基板は、SOI 構造からなることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記素子分離領域は、SiN からなることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】 前記素子分離領域は、前記素子領域の周囲に形成されたトレンチと、前記トレンチ内に形成された前記 SiN 層とからなることを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】 半導体基板と、

前記半導体基板の素子領域の周囲に形成され、前記素子領域に接する面に絶縁体からなる第 1 の層を有し、前記第 1 の層の内側に熱膨張係数が前記素子領域の熱膨張係数より大きい伝導体材料からなる第 2 の層を有する素子分離領域と

を具備することを特徴とする半導体装置。

【請求項 6】 前記半導体基板は、SOI 構造からなることを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】 前記伝導体材料は、金属からなることを特徴とする請求項 5 に記載の半導体装置。

【請求項 8】 前記伝導体材料は、Al、Cu、TiN、Ti、W、TaN、Co、Ni のいずれか 1 つからなることを特徴とする請求項 7 に記載の半導体装置。

【請求項 9】 前記伝導体材料は、サリサイド系の材料からなることを特徴とする請求項 5 に記載の半導体装置。

【請求項 10】 前記伝導体材料は、TiSi、TiSi₂、CoSi、C

o Si₂、NiSi、NiSi₂のいずれか1つからなることを特徴とする請求項9に記載の半導体装置。

【請求項11】 前記絶縁体は、SiNからなることを特徴とする請求項5に記載の半導体装置。

【請求項12】 前記素子分離領域は、前記素子領域の周囲に形成されたトレンチと、前記トレンチの内面に形成された前記SiNからなる第1の層と、前記第1の層の内側に形成された前記伝導体材料ことを特徴とする請求項11に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、MOS (Metal Oxide Semiconductor) 型半導体装置に係わり、特にMOS型半導体装置の素子分離領域の構成に関する。

【0002】

【従来の技術】

MOSトランジスタの電流駆動能力等の性能を向上するために、半導体基板に歪みSi層を備え、この歪みSi層にMOSトランジスタを形成する開発が進められている。

【0003】

この歪みSi層は、Siに引っ張り歪みを印加することで、Siのバンド構造を変化させている。歪みSi層の形成方法としては、Siに十分大きな歪みを加えるために、Siより格子定数の大きい例えばSiGe層を半導体基板に形成し、この上にSi層を結晶成長させることで歪みSiを形成する。このように形成された歪みSi層に、例えばMOSトランジスタを形成した場合、キャリアとしての電子或いはホール移動度を高めることができる。

【0004】

例えば、上記歪みSi層にゲート長が20～30 [nm] のMOSトランジスタを形成した場合、電流駆動能力の向上率は20～30%とされている（非特許文献1、非特許文献2参照）。

【0005】

【非特許文献1】

K.Rim et al., VLSI Symp., 2001年, p.59

【0006】

【非特許文献2】

K.Rim et al., VLSI Symp., 2002年, p.98

【0007】

【発明が解決しようとする課題】

ところが、Siに替えて歪みSiを用いる場合、例えばSi層とSiGe層との整合性が悪いことにより欠陥や転移が発生してしまう。さらに、製造工程において半導体基板に熱処理を行うと、歪んでいたSiの格子結晶が元に戻ってしまうという問題がある。

【0008】

本発明は、上記のような事情に鑑みてなされたもので、簡単かつ低コストで半導体基板に引っ張り歪みを発生させることができ、これにより上記半導体基板に形成される素子の性能の向上が可能な半導体装置を提供することを目的とする。

【0009】

【課題を解決するための手段】

上記目的を達成するために本発明は、半導体基板と、前記半導体基板内に形成され、ゲート電極を有するソース／ドレイン領域としての素子領域と、前記素子領域の周囲に形成され、熱膨張係数が前記素子領域の熱膨張係数より大きい絶縁体材料からなる素子分離領域とを具備することを特徴とする。

【0010】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。

【0011】

(第1の実施形態)

図1は、本発明の第1の実施形態における半導体基板に形成されたMOSトランジスタの主要部を示す平面図である。なお、上記半導体基板は、例えばSOI

(Silicon On Insulator) 基板により構成される。図 2 は、図 1 に示した S O I 基板における 2-2 線に沿った方向の断面図である。

【0012】

S O I 基板は、S i 基板 4、S i O₂ などの絶縁体層 5、S i 層 6 を積層して形成される。この S O I 基板は、例えば S I M O X (Separation by Implanted OXygen) により形成される。

【0013】

S O I 基板の S i 層 6 内に絶縁体層 5 に達するトレンチ T R を形成し、このトレンチ T R 内に絶縁体材料として S i N を埋め込んで素子分離領域 1 を形成する。この素子分離領域 1 は、例えば S i N をプラズマ C V D (Chemical Vapor Deposition) により形成する。これにより素子分離領域 1 の内側に素子領域 2 が形成される。この素子領域 2 には M O S トランジスタが形成される。

【0014】

すなわち、素子領域 2 には、ゲート絶縁膜 7 を介して例えばポリシリコンからなるゲート電極 3 が形成される。ゲート電極 3 の両側には、側壁が形成されている。さらに、ゲート電極 3 の両側には、ソース及びドレイン領域 S / D が形成される。これらソース及びドレイン領域 S / D は、素子領域内に例えば不純物イオンを注入することにより形成される。また、ソース及びドレイン領域には、コンタクトとなる電極 (図示せず) が形成され、この電極に図示せぬ配線が接続される。また、素子分離領域 1 の外側には、例えば他の素子領域 6 が形成される。図 2 は、完全空乏型のトランジスタを示しているが、素子領域に形成されるトランジスタは、これに限らず、部分空乏型であってもよい。

【0015】

素子分離領域 1 の材料 S i N は、素子領域 2 の材料 S i より熱膨張係数が大きい。このため、例えば熱処理によりトレンチに S i N を埋め込んだ後、半導体基板の温度が室温まで低下すると、素子分離領域 1 は素子領域 2 に比べてより大きく収縮する。このため、素子領域 2 には、素子分離領域 1 から引っ張り方向の応力が生じる。

【0016】

以上詳述したように第1の実施形態では、SOI基板のSi層に、Siよりも熱膨張係数大きいSiNを用いて素子分離領域を形成している。

【0017】

したがって本実施形態によれば、素子領域2に対して、素子分離領域1から引っ張り方向の応力を生じさせることができる。よって、素子領域2が伸張することで、素子領域2aに形成されたMOSトランジスタのキャリアの移動度を向上させることができる。

【0018】

(第2の実施形態)

第2の実施形態は、素子分離領域を、素子領域に接する第1の層と、この第1の層の内側に形成された第2の層との2層で構成する。第1の層には、絶縁性の材料を用い、上記第2の層には金属等の熱膨張係数大きい材料を用いて半導体装置を形成する。

【0019】

図3は、本発明の第2の実施形態における半導体基板に形成されたMOSトランジスタの主要部を示す平面図である。上記半導体基板は、例えばSOI基板により構成される。図4は、図1に示したSOI基板における4-4線に沿った方向の断面図である。なお、SOI基板の構成と、素子領域に形成されるMOSトランジスタの構成とは、上記第1の実施形態で示した構成と同様であるため説明は省略する。

【0020】

SOI基板のSi層6a内に絶縁体層5に達するトレンチTRを形成し、このトレンチTR内に素子分離領域を形成する。この素子分離領域は、素子領域2aに接する第1の層と、この第1の層の内側の第2の層との2層で構成される。素子領域2aに接する第1の層は、例えば絶縁性材料としてのSiNにより形成される。このSiN層10は、例えばプラズマCVD、或いはLP-CVD (Low Pressure - Chemical Vapor Deposition) により形成される。

【0021】

SiN層10の内側に第2の層としての例えば金属層11が形成される。この

金属層 11 は、例えば Al、Cu、TiN、Ti、W、TaN、Co、Ni 等の金属系の材料により形成される。

【0022】

素子分離領域を構成する SiN 層 10 及び金属層 11 は、素子領域 2a の材料 Si より熱膨張係数が高い。このため、例えば熱処理により SiN 層 10 及び金属層 11 を埋め込んだ後、半導体基板の温度が室温まで低下すると、SiN 層 10 及び金属層 11 は素子領域 2a に比べてより大きく収縮する。このため、素子領域 2a には、素子分離領域から引っ張り方向の応力が生じる。

【0023】

したがって本実施形態によれば、素子領域 2a に対して、素子分離領域を形成する SiN 層 10 から引っ張り方向の応力を生じさせることができる。よって、素子領域 2a が伸張することで、素子領域 2a に形成された MOS トランジスタのキャリアの移動度を向上させることができる。

【0024】

さらに、素子分離領域に素子領域の材料より熱膨張係数が高い金属層 11 を形成し、この金属層 11 の収縮により、素子領域 2a に対して引っ張り方向の応力を生じさせている。よって、素子領域 2a が伸張することで、素子領域 2a に形成された MOS トランジスタのキャリアの移動度を向上させることができる。

【0025】

上記第 2 の実施形態では、SiN 層 10 の内側に金属系の材料を用いて第 2 の層を形成している。しかし、第 2 の層はこれに限らず、例えばサリサイド系の TiSi、TiSi₂、CoSi、CoSi₂、NiSi、NiSi₂ で構成してもよい。すなわち、素子領域 2a の材料である Si より熱膨張係数が高い材料であれば同様に適用可能である。

【0026】

また上記第 2 の実施形態では、素子領域 2a に接する第 1 の層に SiN を用いている。しかし、絶縁材料として、例えば TEOS 等の SiO₂ を用いてもよい。

【0027】

さらに、上記第1、第2の実施形態において、素子領域に形成されるトランジスタの導電型は、Pチャネル、Nチャネルのいずれでもよく、PチャネルMOSトランジスタ、NチャネルMOSトランジスタの電流駆動能力を向上させることができる。

【0028】

さらに、上記第1、第2の実施形態において、半導体基板としてSOI基板を用いる場合について説明している。しかし、半導体基板としてバルクを用いてもよい。この場合、トレンチの深さを変えることで素子領域に発生させる引っ張り方向の応力を変化させることができる。

【0029】

この発明は、上記実施形態に限定されるものではなく、その他、本発明の要旨を変更しない範囲において種々変形して実施可能なことは勿論である。

【0030】

【発明の効果】

以上詳述したようにこの発明によれば、簡単かつ低コストで半導体基板に引っ張り歪みを発生させることができ、これにより上記半導体基板に形成される素子の性能の向上が可能な半導体装置を提供することができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態における半導体基板に形成されたMOSトランジスタの主要部を示す平面図。

【図2】

図1に示したSOI基板における2-2線に沿った方向の断面図。

【図3】

本発明の第2の実施形態における半導体基板に形成されたMOSトランジスタの主要部を示す平面図。

【図4】

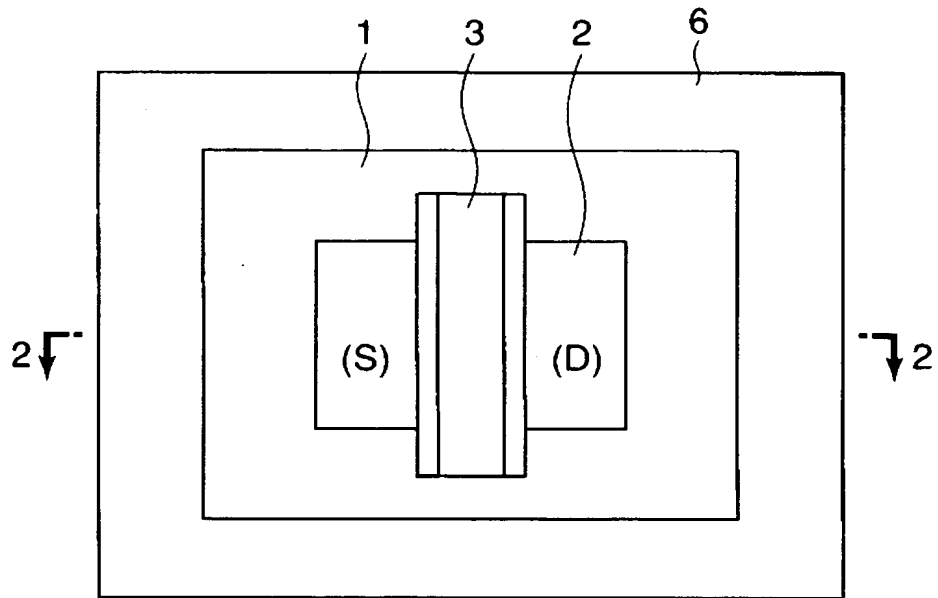
図3に示したSOI基板における4-4線に沿った方向の断面図。

【符号の説明】

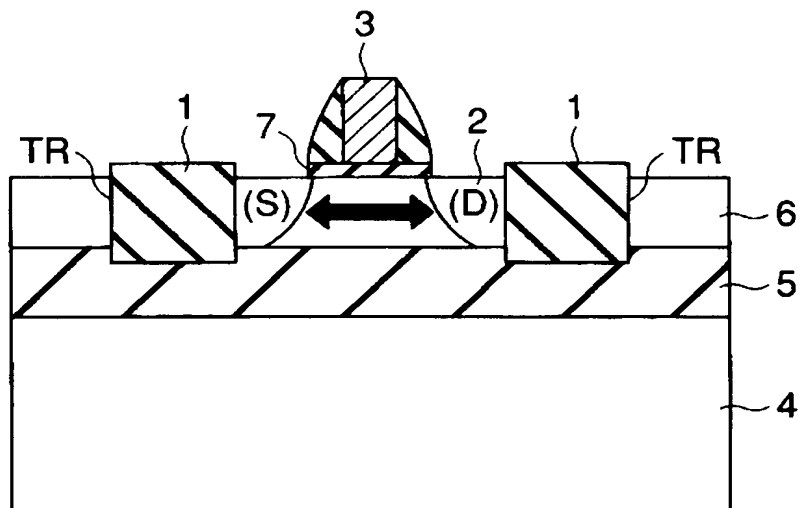
1…素子分離領域、2, 2 a…素子領域、3, 3 a…ゲート電極、4, 4 a…
S i 基板、5, 5 a…絶縁体層、6, 6 a…他の素子領域、7, 7 a…ゲート絶
縁膜、1 0…S i N層、1 1…金属層、T R…トレンチ。

【書類名】 図面

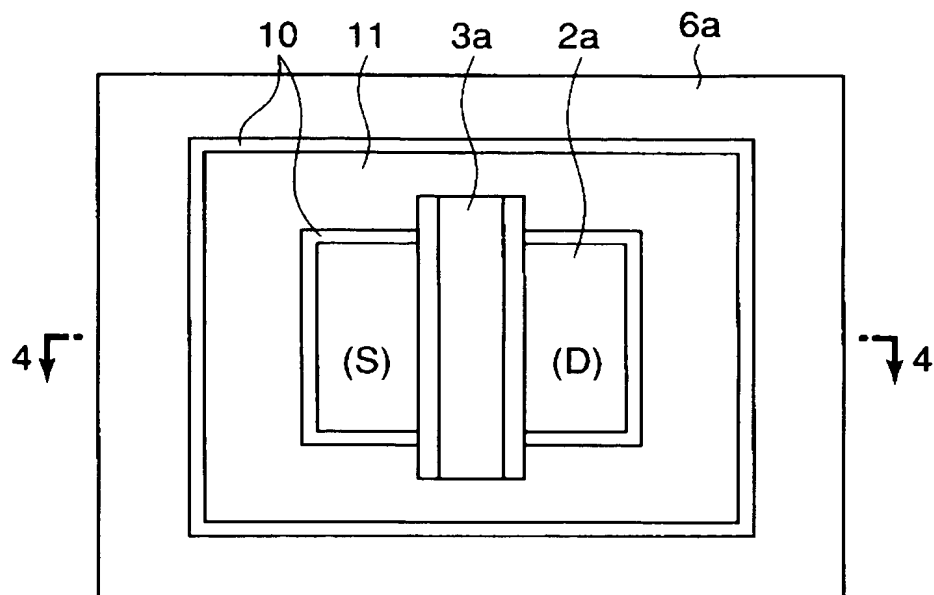
【図 1】



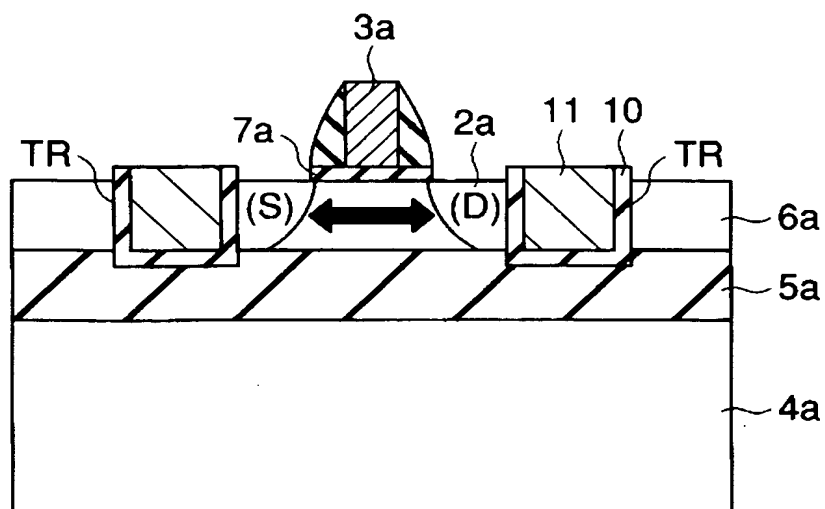
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 半導体基板に引っ張り歪みを発生させ、これにより上記半導体基板に形成される素子の性能を向上する。

【解決手段】 S O I 基板の S i 層において、素子分離する領域にトレンチを形成し、このトレンチ内に絶縁材料として S i より熱膨張係数の大きい S i N を埋め込んで素子分離領域を形成する。常温状態において、素子分離領域が収縮することで、素子領域に引っ張り方向の応力が発生させる。

【選択図】 図 2

特願 2003-176527

出願人履歴情報

識別番号

[000003078]

1. 変更年月日

2001年 7月 2日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目1番1号

氏 名

株式会社東芝